



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09322103 A**(43) Date of publication of application: **12 . 12 . 97**

(51) Int. Cl.

H04N 5/765
H04N 5/781
(21) Application number: **08135360**(22) Date of filing: **29 . 05 . 96**(71) Applicant: **SONY CORP**
(72) Inventor: **ASAMIYA NOBORU**
KODAMA YASUMASA
(54) MULTI-DUBBING DEVICE

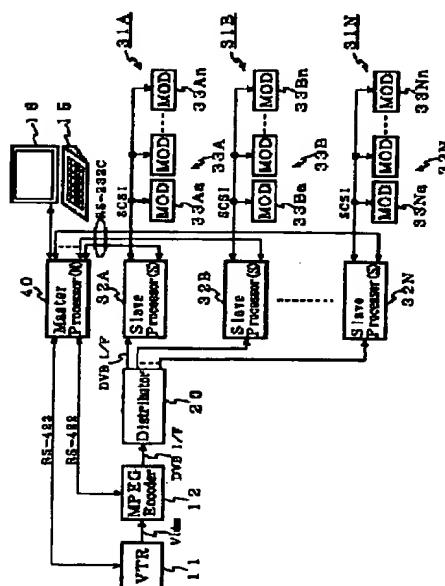
マルチダビング装置 10

(57) Abstract:

PROBLEM TO BE SOLVED: To make dubbing a video source onto a plurality of recording media simultaneously.

SOLUTION: A video signal reproduced by a VTR 11 is converted by an encoder 12 into a multiplex signal and the converted signal is fed to a signal distributor 20, in which a plurality of multiplex signals are generated. A plurality of multiplex signals are simultaneously fed to a slave processor 32. The signal conversion processing suitable for recording is conducted in the processor and recorded (dubbed) onto a recording medium provided to a drive means 33. Let number of distributed signals be M and number of recording media be (m), then one video source is simultaneously dubbed onto M×m-sets of recording media. The video source is simultaneously dubbed onto lots of recording media based on the relation of using the signal distributor.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 3 2 2 1 0 3

(43) 公開日 平成 9 年 (1997) 12 月 12 日

(51) Int. Cl.

H04N 5/765

5/781

識別記号

庁内整理番号

F I

H04N 5/781

510

F

技術表示箇所

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願平 8 - 1 3 5 3 6 0

(22) 出願日 平成 8 年 (1996) 5 月 2 9 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 浅水屋 昇

東京都品川区北品川 6 丁目 7 番 3 5 号

ソニー株式会社内

(72) 発明者 児玉 安正

東京都品川区北品川 6 丁目 7 番 3 5 号

ソニー株式会社内

(74) 代理人 弁理士 山口 邦夫 (外 1 名)

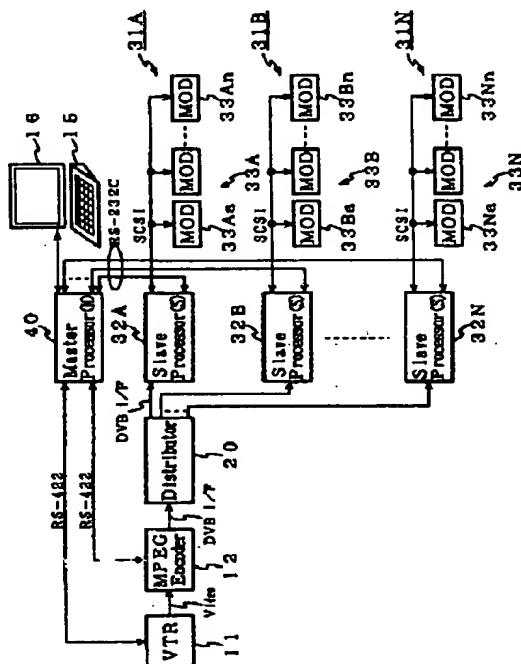
(54) 【発明の名称】 マルチダビング装置

(57) 【要約】

【課題】 映像素材を複数の記録媒体に同時にダビングできるようにする。

【技術手段】 VTR 11 より再生されたビデオ信号がエンコーダ 12 に多重化信号に変換されこれが信号分配器 20 に供給されて複数の多重化信号が生成される。これら複数の多重化信号がスレーブプロセッサ 32 に同時に供給される。このプロセッサで記録に適した信号変換処理が施されて駆動手段 33 に設けられた記録媒体に記録 (ダビング) される。信号分配数を M、記録媒体の数を m とすれば、1 本の映像素材を $M \times m$ 個の記録媒体に同時にダビングできる。信号分配器を使用する関係で多数の記録媒体に同時に映像素材をダビングできる。

マルチダビング装置 10



【特許請求の範囲】

【請求項 1】 単一のデジタル信号が信号分配器に供給されて複数のデジタル信号が生成され、これら複数のデジタル信号が複数の信号記録系に供給されることによって、同時に複数のデジタル信号がダビングされるようになされたことを特徴とするマルチダビング装置。

【請求項 2】 上記信号分配器は受信部と、分配手段である信号分配用 IC と、複数化された受信信号を送信する送信部とで構成されたことを特徴とする請求項 1 記載のマルチダビング装置。

【請求項 3】 上記信号記録系は記録装置とその制御部とで構成され、

上記記録装置は単一若しくは複数の記録媒体を有し、複数の記録媒体を使用するときは同時に上記デジタル信号をダビングするようにしたことを特徴とする請求項 1 記載のマルチダビング装置。

【請求項 4】 上記デジタル信号は圧縮符号化された信号であることを特徴とする請求項 1 記載のマルチダビング装置。

【請求項 5】 複数の記録装置とその制御部とで信号記録系が構成され、この信号記録系が複数設けられると共に、

上記制御部には受信端の他に、この受信端からの入力信号を受け、これを外部に出力できるアクティブループスルー出力端が設けられ、

上記複数の制御部はこのアクティブループスルー出力端によって相互が連結されて単一の入力デジタル信号が上記複数の制御部に分配されるようになされ、

単一のデジタル信号が上記複数の記録装置によって同時にダビングされるようになされたことを特徴とするマルチダビング装置。

【請求項 6】 上記記録装置には、単一若しくは複数の記録媒体が設けられ、これら記録媒体に同時に上記入力デジタル信号がダビングされるようになされたことを特徴とする請求項 5 記載のマルチダビング装置。

【請求項 7】 上記デジタル信号は圧縮符号化された信号であることを特徴とする請求項 5 記載のマルチダビング装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 この発明は、マルチダビング装置に関する。詳しくは、単一のデジタル信号を信号分配器を用いて複数の記録装置に分配するか、若しくはアクティブループスルー端子を有する信号制御部を介して複数の記録装置に分配することによって同時に複数の記録媒体にこのデジタル信号をダビングできるようにしたものである。

【 0 0 0 2 】

【従来の技術】 ビデオ・オン・デマンド (VOD) シス

テムや、ニャー・ビデオ・オン・デマンド (NVOD) システムなどに使用されるビデオ配信システムとしてパッケージメディアを配信する場合には、パッケージメディアを作成するためのダビング装置 (ビデオダビング装置) が必要である。

【 0 0 0 3 】 図 1 1 はこのダビング装置 1 0 の従来例であって、図は 1 枚の記録メディア (ディスク) を作成する装置を示す。同図において、映像ソース源としては VTR 1 1 が使用され、VTR 1 1 から再生されたデジタル信号 (ビデオ信号という) はビデオ圧縮手段この例では MPEG 用エンコーダ 1 2 に供給されてビデオ信号が圧縮符号化され、映像用コードデータと音声用コードデータとが多重化された多重化信号が生成される。この例ではデジタルビデオ放送用インタフェース規格に則ったインタフェース (DVB I/F) を介して多重化信号が出力される。

【 0 0 0 4 】 多重化信号は編集用プロセッサ 1 3 において記録媒体例えば光磁気ディスク MO に記録するフォーマットに変換され、プロセッサ 1 3 の指示にしたがいこの記録媒体駆動手段 1 4 が制御されて上述した 1 枚の記録媒体に記録される。プロセッサ 1 3 からの指示は RS-232C 通信インタフェースあるいは RS-422 通信インタフェースを経由して VTR 1 1 およびエンコーダ 1 2 に伝えられる。プロセッサ 1 3 への指示は入力部 (キーボード) 1 5 上から行われる。指示内容および指示結果は何れもモニタ 1 6 上に表示される。

【 0 0 0 5 】 図 1 1 に示す装置は VTR 1 1 で再生された単一のソースを 1 枚の記録媒体にしかダビングできない。これに対し図 1 2 に示すダビング装置では複数枚の記録媒体に同一ソースをダビングすることができる。

【 0 0 0 6 】 そのためプロセッサ 1 3 には複数の記録媒体駆動手段 1 4 が SCSI バスを介して接続され、駆動手段 1 4 同士はディジー (daisy) チェーン接続される。ディジーチェーン接続を図 1 3 を参照して説明する。

【 0 0 0 7 】 同図のようにそれぞれの駆動手段 1 4 の内部には受信部 1 7 と送信部 1 9 が設けられ、受信部 1 7 で受信した信号は記録媒体 1 8 に送られて記録される他、送信部 1 9 にも供給され、これが SCSI バスを介して隣りの駆動手段 1 4 の受信部 1 7 に直接転送される。したがって隣接する駆動手段 1 4 同士はこの送受信部 1 7、1 9 を介して次々に接続されることになり、このような接続方法をディジーチェーン接続という。

【 0 0 0 8 】

【発明が解決しようとする課題】 ところで、図 1 3 に示すようなディジーチェーン接続によって複数の記録媒体 1 8 に対し同一のソースを同時にダビングするマルチダビング装置 1 0 では、実際には数台の駆動手段 1 4 しかディジーチェーン接続することができず、したがって同時に数枚しかダビングできない。それは、プロセッサ

10

20

30

40

50

13でのフォーマット変換処理を始めとして、その処理能力、SCSIインタフェースの転送スピード、SCSIプロトコルのオーバーヘッド時間などの問題があるため、実際には、駆動手段14に対して同時に記録指示を行えるのは2〜3台が限界である。

【0009】そこで、この発明はこのような従来の課題を解決したものであって、同時に多数枚の記録媒体に対しダビングを実行できるようにしたマルチダビング装置を提案するものである。

【0010】

【課題を解決するための手段】 上述の課題を解決するため、請求項1に記載したこの発明に係るマルチダビング装置では、単一のデジタル信号が信号分配器に供給されて複数のデジタル信号が生成され、これら複数のデジタル信号が複数の信号記録系に供給されることによって、同時に複数のデジタル信号がダビングされるようになされたことを特徴とする。

【0011】さらに請求項5に記載したこの発明に係るマルチダビング装置では、複数の記録装置とその制御部とで信号記録系が構成され、この信号記録系が複数設けられると共に、上記制御部には受信端の他に、この受信端からの入力信号を受け、これを外部に出力できるアクティブスルー出力端が設けられ、上記複数の制御部はこのアクティブスルー出力端によって相互が連結されて単一の入力デジタル信号が上記複数の制御部に分配されるようになされ、単一のデジタル信号が上記複数の記録装置によって同時にダビングされるようになされたことを特徴とする。

【0012】この発明では、デジタル信号の分配器を設けることによって同一ソースを複数化し、それぞれに信号記録系を接続すると共に、信号記録系に設けられた複数の駆動手段をディジーチェーンで接続するようにしたものである。こうすることによって、信号記録系に接続される駆動手段の数が制限される場合があったとしても、分配器の分配数を増やすことによって同時に多数の記録媒体に同一ソースをダビングできる。

【0013】同一ソースを複数化する手段としては、分配器の他にスレーブプロセッサ側にアクティブスルー機能を付加すればよい。そしてスレーブプロセッサ同士をこのアクティブスルー端子同士で接続すれば、あたかも分配器を用いて同一ソースを複数化したのと同様なことを実現できる。

【0014】

【発明の実施の形態】 続いて、この発明に係るマルチダビング装置の一実施形態を図面を参照して詳細に説明する。

【0015】この発明に係るマルチダビング装置においても従来と同様に単一のソースを複数の記録媒体に同時に記録（ダビング）できるようにしたもので、この発明では特に分配器を用いて同一ソースを複数化してそれぞ

れの記録媒体用駆動手段に供給するようにしたものである。

【0016】図1を参照して説明すると、映像ソースとしてはVTR11を例示するが、VTR以外の映像ソースを使用することも考えられる。VTR11より再生されたデジタル信号であるビデオ信号はエンコーダ12において圧縮符号化される。従来と同じく本例でも映像データと音声データとを圧縮符号化して多重する多重化信号（DVB1/F用）にエンコードされる。この多重化信号は信号分配器20に供給され、単一ソースである1つの多重化信号が複数の多重化信号となされる。

【0017】複数化された多重化信号は、分配された多重化信号と同数の信号記録系31A〜31Nに供給される。信号記録系31A〜31Nはそれぞれ記録制御用のプロセッサ32（32A〜32N）と、記録媒体駆動手段33（33A〜33N）とで構成され、多重化信号はまず記録制御用のプロセッサ32に供給される。

【0018】このプロセッサ32は後述するようにマスタプロセッサ40に対するスレーブプロセッサとして機能する。マスタプロセッサ40は装置全体を管理するためのプロセッサであって、複数のスレーブプロセッサ32を始めとして上述したVTR11やエンコーダ12が管理される。管理用通信インタフェースとしてこの例ではスレーブプロセッサ32間ではRS-232Cインタフェースが使用され、VTR11とエンコーダ12との間では通信距離との関係などからRS-422インタフェースが使用されている。

【0019】スレーブプロセッサ32では、上述したように入力多重化信号を複数の記録媒体に対して同時にダビング処理できるようにするためデータの並べ替え処理（フォーマット変換処理）などが行われる。スレーブプロセッサ32に接続された記録媒体駆動手段33は複数の駆動手段を有し、これら駆動手段は何れも図13に示すような構成が採用される。そして駆動手段33Aでは、n個の駆動手段33Aa〜33Anが設けられ、これらがディジーチェーン接続されて構成される。他の駆動手段33B〜33Nに関しても同一の構成が採られる。

【0020】同一のスレーブプロセッサにおいて同時にダビングできる記録媒体の数には限界があるので、この例では1つのスレーブプロセッサには3台ほどの駆動手段が接続されている。その接続台数は一例である。

【0021】上述した分配器20は図2のように構成されたものを使用することができる。多重化信号は受信部21にて受信され、これが分配手段としても機能する信号分配用IC22に供給されて、入力した多重化信号と同一であって、複数この例ではN本の多重化信号（DVB1/F）が出力される。これら多重化信号はそれぞれ送信部23a〜23n（n=N）に導かれて対応するスレーブプロセッサ32A〜32Nに供給される。

10

20

30

40

50

【 0 0 2 2 】 このように信号分配用 I C 2 2 では出力数だけ同一の入力多重化信号が分配されるように構成されており、しかも単純に信号が分配されるだけで特段の信号処理を行いながら複数に分配されるものではないので、この信号分配器 2 0 では信号遅延を殆ど起こすことなく多重化信号を複数化できる。信号分配用 I C 2 2 の規模を大きくすればそれだけ出力する多重化信号の本数を増やすことができる。

【 0 0 2 3 】 図 3 はマスタプロセッサ 4 0 の具体例を示すものであり、そのコンピュータ基本部 (P C 基本部) 4 1 には周知のようにダビング用の制御管理などを司る C P U 部 4 2 を有する他、ワーキング用のメモリ部 4 3 があり、またデータ保存用として設けられたマストレージ装置 (H D D 装置など) 4 4 とはマストレージコントロール部 4 5 によってデータの授受が行われる。またキーボード 1 5 との間はそのコントロール部 4 6 によって通信される。

【 0 0 2 4 】 コンピュータ基本部 4 1 に設けられたバス 4 7 と通信インタフェースとの間にはそれぞれ対応するコントロール部が設けられている。コントロール部 5 1 は V T R 1 1 との間に設けられた R S - 4 2 2 通信インタフェースに関するコントロール部である。以下同様に、エンコーダ 1 2 に対しては R S - 4 2 2 インタフェース用のコントロール部 5 2 が設けられ、複数のスレーブプロセッサ 3 2 A ~ 3 2 N に対しては R S - 2 3 2 C インタフェース用のコントロール部 5 3 A ~ 5 3 N が設けられている。

【 0 0 2 5 】 図 4 はスレーブプロセッサ 3 2 (3 2 A) の具体例を示すもので、マスタプロセッサ 4 0 と同様にそのコンピュータ部 (P C 基本部) 6 1 には、信号記録の制御を司る C P U 部 6 2 を有する他、多重化信号に対するフォーマット変換などのときに使用されるワーキング用のメモリ部 6 3 があり、またデータ保存用として設けられたマストレージ装置 (H D D 装置など) 6 4 とはマストレージコントロール部 6 5 によってデータの授受が行われる。

【 0 0 2 6 】 コンピュータ基本部 6 1 に設けられたバス 6 6 と通信インタフェースとの間に設けられたコントロール部 6 7 はマスタプロセッサ 4 0 との間の通信を行うために設けられたもので、またこのバス 6 6 には信号分配器 2 0 からの多重化信号を受け、 C P U 部 6 2 によってフォーマット変換された出力信号を駆動手段 3 3 に出力するための符号化データ入出力部 7 0 が設けられている。

【 0 0 2 7 】 映像データおよび音声データに関するこの符号化データ入出力部 7 0 は図 5 に示すような構成が採用されている。

【 0 0 2 8 】 同図において、エンコーダ 1 2 より出力された多重化信号は受信部 7 1 で受信され、その後一對の F I F O 型式のメモリ 7 2 A、7 2 B に交互にメモリさ

れる。メモリ 7 2 A、7 2 B に対する書き込みアドレス指定は F I F O 用コントローラ 7 3 によって行われる。

【 0 0 2 9 】 また、メモリ 7 2 A、7 2 B に蓄えられた多重化信号用データはバスインタフェース 7 4 を介してスレーブプロセッサ 3 2 側に取り込まれて、スレーブプロセッサ 3 2 の指示にしたがってフォーマット変換処理が実行され、フォーマット変換されたデータが再び対応するメモリ 7 2 A、7 2 B にストアされる。

【 0 0 3 0 】 その後 D M A コントローラ 7 5 から指示されたリードアドレスに基づいてメモリ 7 2 A、7 2 B がリードモードとなり、フォーマット変換後の多重化信号が S C I S コントローラ 7 6 を介して対応する駆動手段 3 3 に同時に送給されて、対応する記録媒体 1 8 に記録 (ダビング) される。

【 0 0 3 1 】 ここで、上述した信号分配数を M、記録媒体の数を m とすれば、1 本の映像素材を M × m 個の記録媒体に同時にダビングできることになるから、一度に多数枚のダビングが可能になる。

【 0 0 3 2 】 また、図 1 のように信号分配器 2 0 を設けた場合には、ダビングすべき記録媒体の枚数を増やしても、V T R 1 1 とエンコーダ 1 2 とはそれぞれ 1 台で済むことから、従来よりも構成が大幅に簡略化される。

【 0 0 3 3 】 さて、このように構成されたマルチダビング装置 1 0 のダビング動作を図 6 および図 7 を参照して説明する。

【 0 0 3 4 】 図 6 はマスタプロセッサ 4 0 側の処理例を示すフローチャートであって、ステップ 8 1 においてプロセッサに対する初期設定指示がなされる。この初期設定処理は、マスタプロセッサ 4 0 の内部状態の初期化と共に、制御対象となっている V T R 1 1、エンコーダ 1 2 および複数台のスレーブプロセッサ 3 2 に対する初期化である。続いて、ステップ 8 2 ではビデオ信号をダビングするための条件設定が行われる。この設定内容はオペレータがモニタ 1 6 を見ながらキーボード 1 5 を操作して入力されるもので、その条件設定とは、映像素材の開始時間 (タイムコード)、映像素材の長さ、エンコーダ 1 2 での符号化レートや音声チャンネル数などである。

【 0 0 3 5 】 条件設定が終了すると、今度は個々の装置に対する制御がなされるものであって、まずステップ 8 3 で V T R 1 1 に対するキューアップ (Cue-up) 指示がなされて V T R 1 1 が再生スタンバイモードとなる。そしてステップ 8 4 でエンコーダ 1 2 に対して上述した設定条件のうち映像フォーマット、符号化レート、音声符号化チャンネル数などの設定条件が伝達される。

【 0 0 3 6 】 続いて、ステップ 8 5 で上述した V T R 1 1、エンコーダ 1 2 およびスレーブプロセッサ 3 2 に対して処理スタートの開始を指示する。処理がスタートすると複数のスレーブプロセッサ 3 2 が稼働して複数の記録媒体 1 8 に多重化信号が同時に記録される。

【 0 0 3 7 】 マスタプロセッサ 4 0 ではこの処理状態が

映像素材の記録終了まで常時監視され（ステップ 86、87）、異常メッセージが入力したときはそのメッセージに対応する異常処理を実行したのち異常メッセージがモニタ出力され（ステップ 88）、その後 VTR 11、エンコーダ 12 およびスレーブプロセッサ 32 に対してダビング終了指示がなされると共に、マスタプロセッサ自身の終了処理がなされる。モニタにもその内容が表示される（ステップ 89）。

【0038】一方、スレーブプロセッサ 32 側では図 7 に示すフローチャートにしたがって処理される。マスタプロセッサ 40 からの初期設定指示がなされると、スレーブプロセッサ 32 自身の初期化がなされ（ステップ 91、92）、動作開始の指示が入力されると以下の動作が実行される（ステップ 93）。

【0039】まず、エンコーダ 12 から DVB1/F を介して受信した多重化信号が単位長分の入力データごとにフォーマット変換され（ステップ 94、95）、その後駆動手段 33 に対して書き込み指示がなされる。具体的には入力データによって指定された記録媒体のアドレスにこの入力データが書き込まれる（ステップ 96）。

【0040】入力データの書き込みが正常であるときで、終了指示がなされるまではステップ 94 に戻り、データの書き込み処理が継続される（ステップ 97、98）。オペレータ側より終了指示がなされたときにはスレーブプロセッサ 32 自身の終了処理と、駆動手段 33 に対する終了処理（記録ファイルの終了処理）がなされる（ステップ 100）。

【0041】これに対し、データ書き込みが正常に行われていない異常な状態のときは、この異常状態がマスタプロセッサ 32 に伝達され（ステップ 99）、プロセッサ側から終了指示がなされたときはステップ 100 における終了処理が実行される。

【0042】ところで、図 1 に示すマルチダビング装置 10 は信号分配器 20 を用いて同一の多重化信号を同時に複数形成するようにしたが、図 8 に示すマルチダビング装置 10 はこの信号分配器 20 を使用しないで同様な処理を実現したものである。

【0043】そのため、図 8 に示す構成では複数のスレーブプロセッサ 101（101A～101N）として、アクティブループスルー機能を有したプロセッサが使用される。このアクティブループスルー機能を用いてスレーブプロセッサ同士が連結され、エンコーダ 12 からの多重化信号が後続のスレーブプロセッサ側に伝達されるようになされている。

【0044】したがってエンコーダ 12 より出力された多重化信号は初段のスレーブプロセッサ 101（101A）のみに供給され、残りのスレーブプロセッサ同士はアクティブループスルー端子によって相互が接続される。

【0045】図 9 はこの機能を有したスレーブプロセッサ

サ 101 の具体例を示すものであるが、図 4 の構成と相違するのは符号化データ入出力部 110 のみであるので、対応する部分は同一符号を付しその説明は省略する。符号化データ入出力部 110 は図 10 のように構成される。この図 10 も図 5 の符号化データ入出力部 70 とその基本構成が同じであるので、対応する部分には同一符号を付す。

【0046】図 10 において、新たに設けられたものは送信部としてのドライバ 77 であり、このドライバ 77 は受信部 71 からの出力データを直接受ける構成となされている。したがってこのドライバ 77 からは受信部 71 に入力した多重化信号と同じ信号（DVB1/F 用）がそのまま出力される。このドライバ 77 を付設することによってこのプロセッサはアクティブループスルー機能が付加されたものとなり、ドライバ 77 の出力は次段のスレーブプロセッサ 101B 側に設けられた付加データ入出力部の受信部に与えられる。

【0047】このような処理によって複数のスレーブプロセッサにはエンコーダ 12 より出力された多重化信号と同じ多重化信号が入力するようになり、これによって同じ多重化信号が同時に複数得られたことになる。したがって図 1 と同様に信号記録系 31A～31N を稼働すれば複数の記録媒体 18 に同時に映像素材をダビングできる。

【0048】

【発明の効果】以上説明したようにこの発明では信号分配器で複数の映像素材を形成するか、若しくはアクティブループスルー機能をもつプロセッサによってプロセッサ間を相互に連結することによって複数の映像素材をそれぞれのプロセッサに与えるようにしたものである。

【0049】これによれば、プロセッサでのフォーマット変換処理やプロセッサ自身の処理能力、SCSI インタフェースのデータ転送スピードなどの問題を考慮しなくても複数の映像素材を構成できるから、多数の記録媒体に同時に映像素材をダビングできる特徴を有する。その構成も大幅に簡略化できる。

【0050】したがってこの発明はビデオ配信システム用ダビング装置などに適用して極めて好適である。

【図面の簡単な説明】

【図 1】この発明に係るマルチダビング装置の一実施態様を示す要部の系統図である。

【図 2】信号分配器の一例を示す系統図である。

【図 3】マスタプロセッサの一例を示す系統図である。

【図 4】スレーブプロセッサの一例を示す系統図である。

【図 5】符号化データ入出力部の一例を示す系統図である。

【図 6】マスタプロセッサ側の処理例を示すフローチャートである。

【図 7】スレーブプロセッサ側の処理例を示すフローチャ

10

20

30

40

50

【図 4】

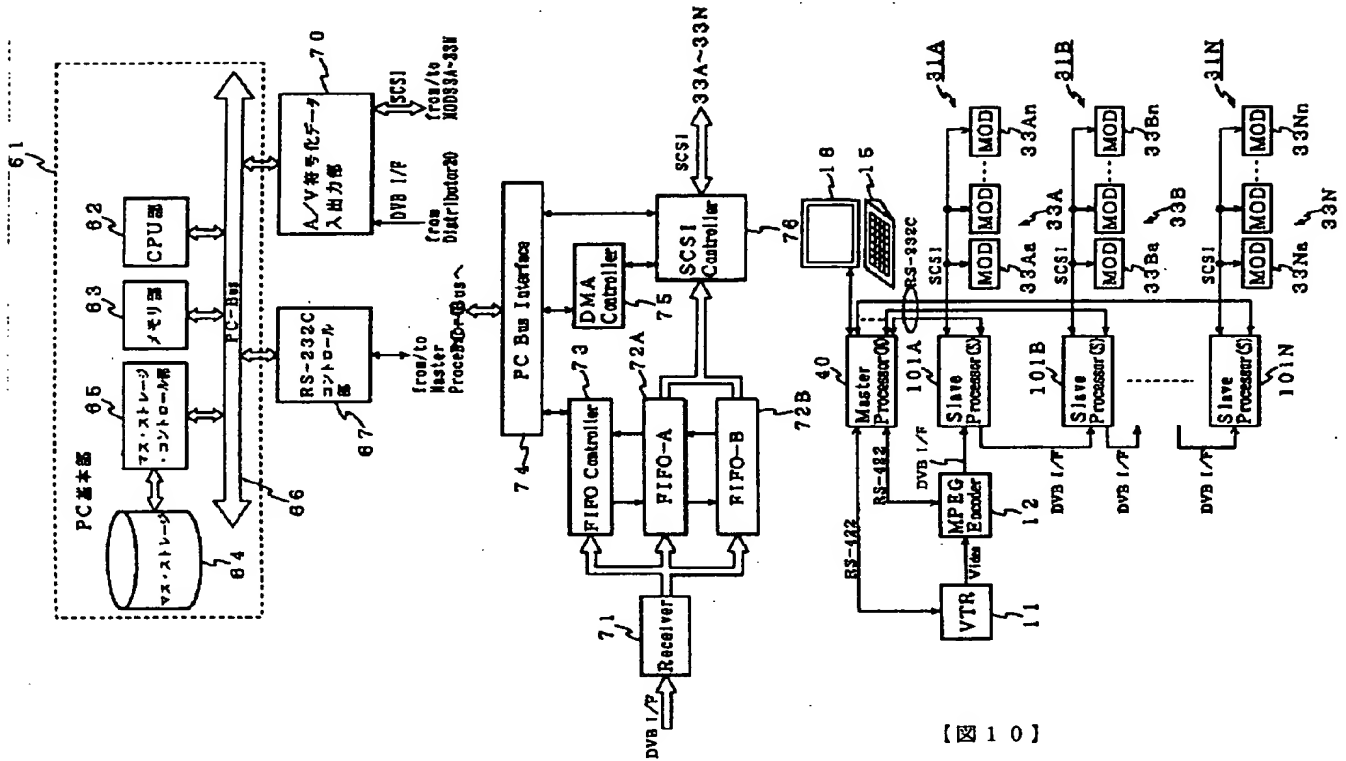
【図 5】

【図 8】

スレーブプロセッサ 32 の具体例

A/V符号化データ入出力部 70

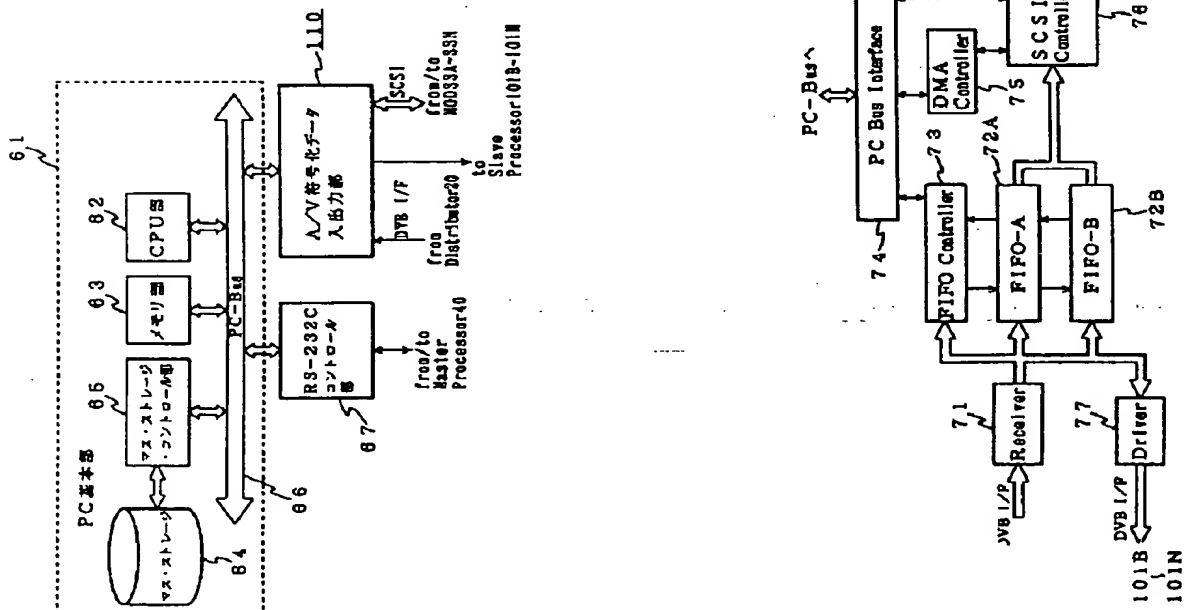
マルチダビング装置 10



【図 9】

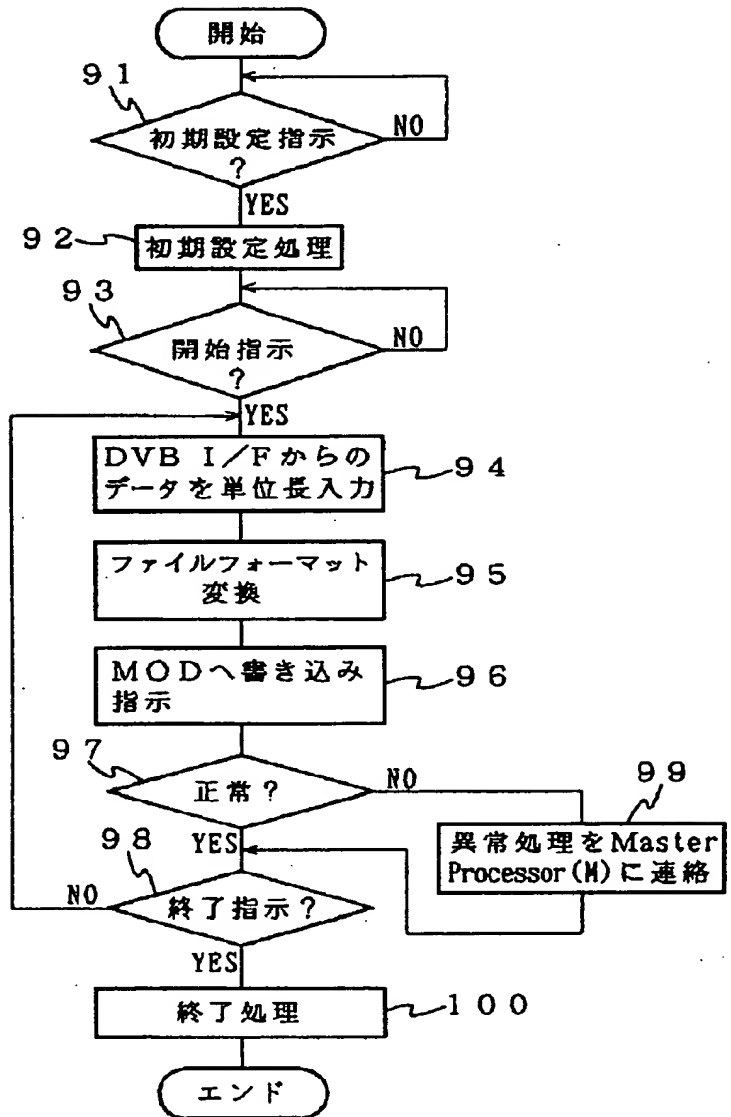
スレーブプロセッサ 10 の具体例

A/V符号化データ入出力部 110



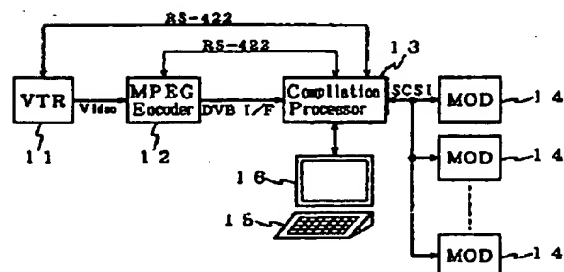
【圖 7】

スレーブプロセッサ側の処理例



【图 12】

マルチダビング装置 10



【図 1 3】

デージーチェーン接続例

